

# FPGA を用いた RLS アダプティブアレーの実装と評価

RLS アダプティブアレーアルゴリズムを FPGA に実装するとともに、シストリックアレー構成による処理速度の向上と回路構成の見直しにより、回路規模の大幅な削減を実現した。なお、本研究は横浜国立大学大学院 工学研究院 知的構造の創生部門 新井研究室（新井 宏之教授）との共同研究により実施した。

きら ふみお ちょう けいぞう  
吉良 文夫 長 敬三

## 1. まえがき

アダプティブアレーアンテナに適用するアルゴリズムとして再帰的最小2乗法（RLS：Recursive Least Square）アルゴリズムがある。これは計算負荷が大きい反面、収束が速く時間的に変化していく非定常的な電波環境にも有効であることから、移動通信への適用が有望視されている[1]。本稿では、RLS アルゴリズムをプログラミング可能な集積回路である FPGA（Field Programmable Gate Array）を用いて実装し、その有効性を検証するとともに、アレーの重み更新に要する処理クロック数を大幅に削減することが可能なシストリックアレー[2]の実装検討を行った。シストリックアレーを構成する内部セルの対称性を利用して回路の再

利用を行うことで、処理速度を劣化させずに回路規模の大幅な削減が可能であることを明らかにした。

## 2. RLS アルゴリズムの FPGA 実装

アダプティブアレーアンテナの原理は複数のアンテナ素子の信号に重み付けを行って合成をすることにより、アンテナの指向性を所望波方向に向け、かつ不要波方向に指向性の谷間を形成するものである（図1）。平均2乗誤差最小（MMSE：Minimum Mean Square Error）アダプティブアレーアンテナ[1]は、所望信号の到来方向に関する情報を必要とせず遅延波の除去が可能なることから、マルチパス環境下においても良好な通信品質を得ることが可能となる。最適重みの計算には最小平均2乗（LMS：Least Mean Square）アルゴリズムと RLS アルゴリズムの2つがよく用いられており、時間的に変化していく非定常的な電波環境においては収束が速い RLS アルゴリズムが用いられる。

FPGA を用いて実装した4素子の RLS アダプティブアレーの信号処理部を写真1に示す。表1はその仕様であり、実装に要した回路容量は69%（約41万ゲート）である。また、電波暗室において所望波と干渉波がそれぞれ1波の場合のビット誤り率（BER：Bit Error Rate）特性を図2に示

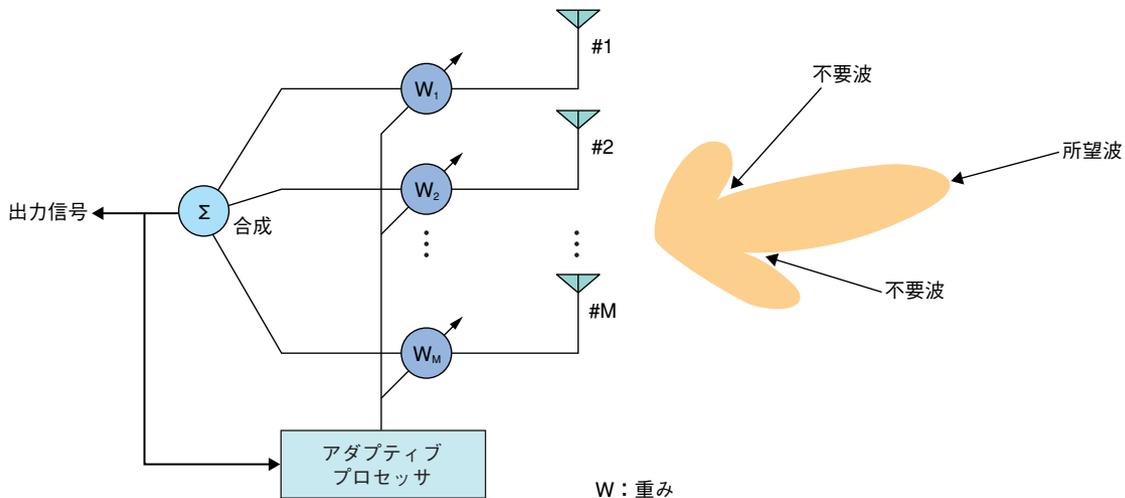


図1 アダプティブアレーアンテナの原理

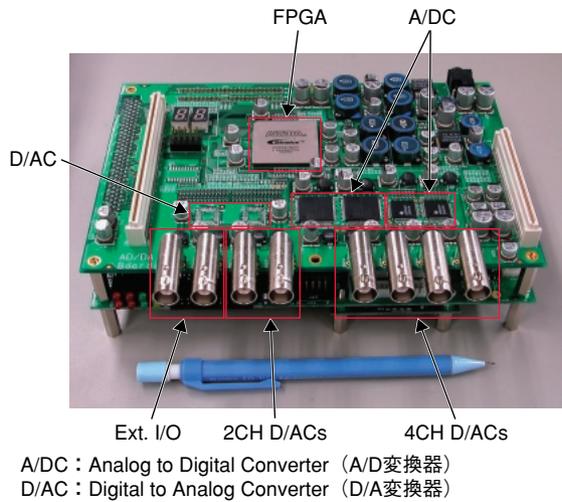


写真1 信号処理部

表1 信号処理部の仕様

A/D変換器	チャンネル数	4
	解像度	12bits
	サンプリングレート	40MHz
D/A変換器	チャンネル数	2
	解像度	14bits
	サンプリングレート	40MHz
FPGA	ゲート数	600,000

す。アンテナを1つだけ用いた場合と比較して大幅な改善が確認できる。なお、計算機シミュレーション（理論値）と実験値との差異は信号処理部以外（アンテナ素子、測定治具、ケーブルなど）の影響と考えられる。試作装置により、収束までに要する試行回数は10回～数十回程度であり、1回の重み更新に要する処理は約400クロックであることを確認した。

### 3. シストリックアレーの実装

シストリックアレーは単純計算を行う回路（セル）を規則正しく配列し、計算に要するデータをパイプライン的に流し込むことによって並列計算を行うものである。並列計算によって処理速度を大幅に向上させることが可能であり、構造が一樣であるため拡張性に優れている。また、セルは主として隣接するセルとのみ直接接続され、データの受渡しが局所的であるため大規模集積回路（LSI：Large Scale Integration circuit）化に適している。RLSアルゴリズムをシストリックアレーを用いて実装した場合のアーキテクチャを図3に示す[3]。図ではアレーの数が4素子の場合を表しており、 $x_1(i)$ ,  $x_2(i)$ ,  $x_3(i)$ ,  $x_4(i)$  はそれぞれの素子における信号の*i*番目のサンプリングデータ、 $y(i)$  は所望信号を識別するための参照信号の*i*番目のサンプリングデ

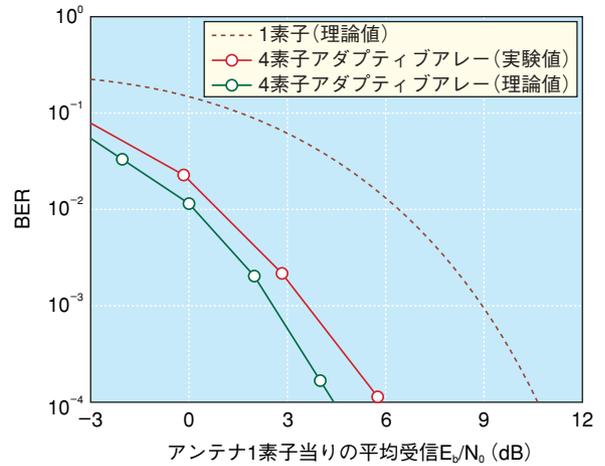


図2 BER特性

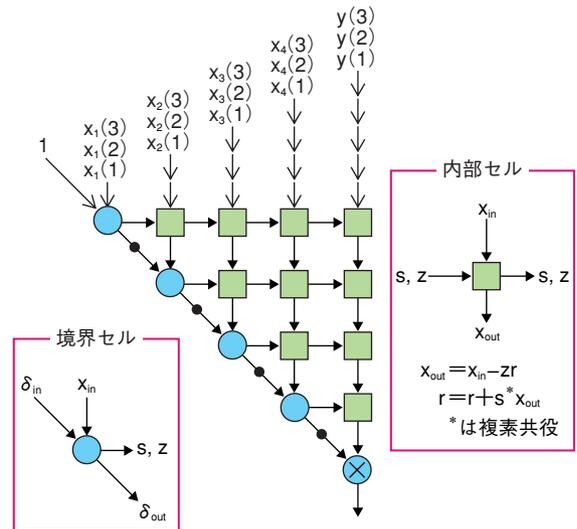


図3 シストリックアレーのアーキテクチャ

ータを表している。シストリックアレーを構成するセルは大きく分けて境界セルと内部セルの2種類がある。すべてのセルは1クロックで動作し、ちょうど血液が心臓の収縮に合わせて体内を循環するように、データがクロックに同期してセルアレー上を移動して処理が行われる。シストリックとは「心臓収縮」を意味する形容詞である。各セルは図3に示された矢印の方向から入力データを受け取り、ある決まった処理を行う。扱うデータは複素数であり、内部セルの処理においては2回の複素数乗算が含まれている。加算回路、減算回路および乗算回路を用いて構成された内部セルの具体的な回路構成を図4に示す。fpadd, fpsub, fpmulはそれぞれ加算回路、減算回路、乗算回路を表しており、複素数乗算は実数成分と虚数成分に分けることで実数計算に帰着させている。アンテナの素子数をMとした場合、内部セルの数は図3から分かるように、 $M \times (M + 1) / 2$  となり素子数Mの2乗のオーダーで増加する。シストリッ

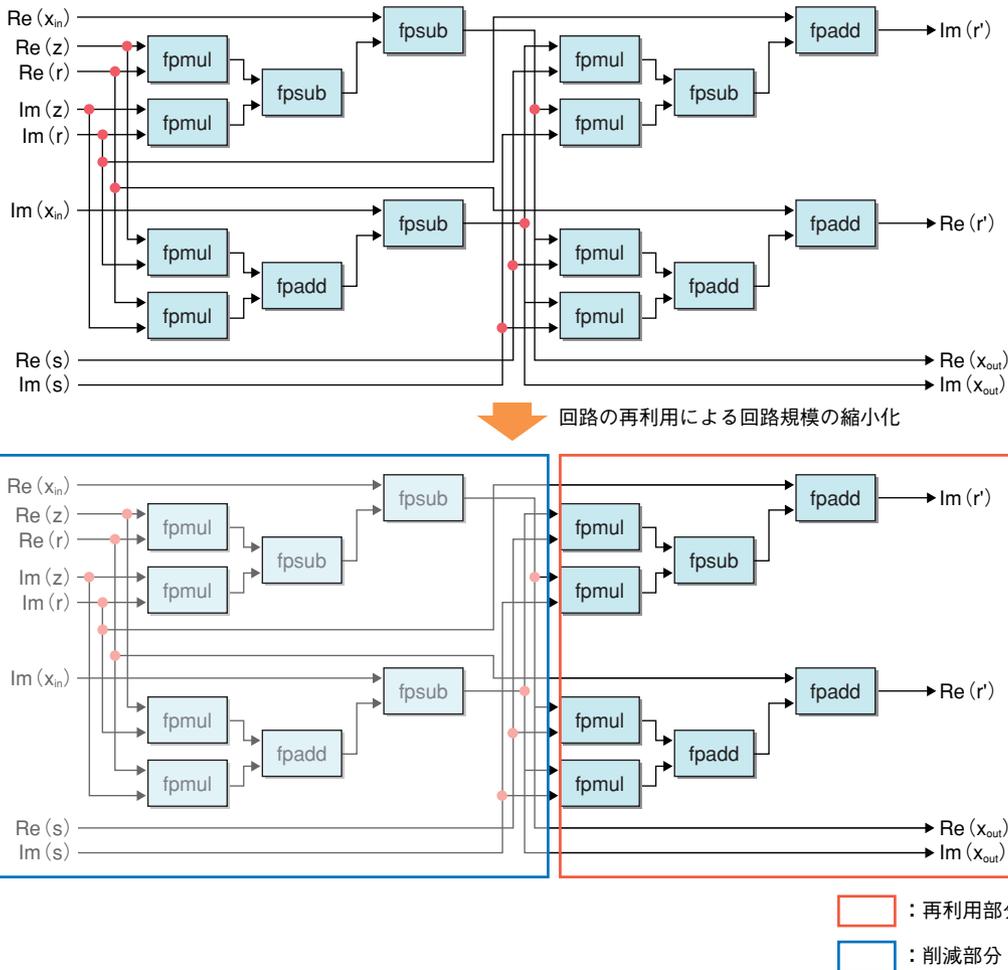


図4 内部セルの回路構成

クアレーは並列計算によって処理が高速化される反面、素子数が多くなった場合には回路規模が非常に大きくなるという問題がある。デジタル回路の面積（回路規模）において乗算回路や除算回路の占める割合は非常に大きく、回路規模を小さくすることはいかにして乗算回路や除算回路を少なくするかということにかかってきている。なお、乗算回路や除算回路は一般に扱うデータの桁数（ビット数）の2乗に比例する数の加算回路を用いて構成されるため、加算や減算と比較して非常に大きなものとなる。また、デジタル回路において大きな処理時間（遅延）を要するのも乗算回路や除算回路である。

図4に示した内部セルを前半部分（左半分）と後半部分（右半分）の回路ブロックに分けて考えた場合、ほとんど同じ構成になっていることが分かる。なお、減算回路は事前に入力データの符号を反転させることで加算回路を用いることができる。したがって、セレクタ回路を用いて前半部分と後半部分の処理を分岐させることで内部セルの回路規模を約半分に縮小する実装を行った。内部セルの後半部分

表2 シストリックアレー実装結果

素子数	回路規模	処理クロック数 (サンプリングデータ当り)	総クロック数
2	44万ゲート	20	320
4	113万ゲート	20	540

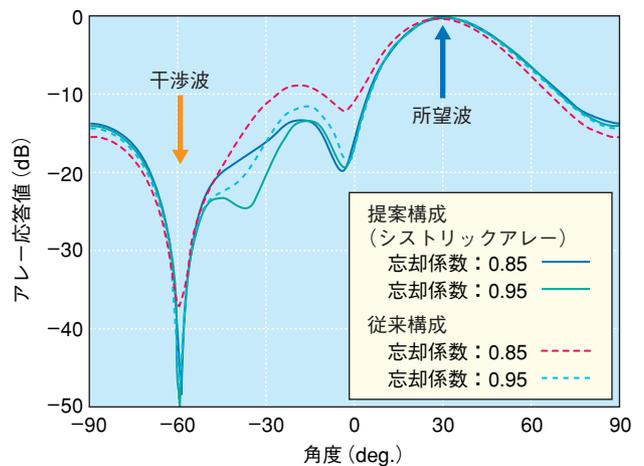


図5 収束後のビームパターン（4素子）

の処理は前半部分の処理結果を入力信号として用いるため、このように2回に分けて同じ回路を再利用することで演算速度をほとんど劣化させることなく回路規模を約半分に縮小することが可能になる。

## 4. 実装評価

RLS アルゴリズムを今回提案した内部セル内で再利用構成を適用したシストリックアレーを用いて FPGA に実装した結果を表2に示す。アンテナが2素子、4素子の場合ともにサンプリングデータの処理クロック数は20であり、非常に少ないクロック数で重みが更新されることが分かる。収束までに要した総クロック数はそれぞれ320、540である。収束後のビームパターンを比較したものを図5に示す。干渉波方向に高い精度で谷間を形成していることが確認できる。回路規模はそれぞれ44万ゲート、113万ゲートであった。従来、アンテナが10素子の場合にRLSシストリックアレーを適用するためには90万ゲートのASIC (Application Specific Integrated Circuit) が19個必要であったが、提案構成により13個のFPGA (90万ゲート) で実現する見通しを得た。

## 5. あとがき

本稿では、並列処理が可能なFPGAを用いてRLSアルゴリズムの実装と評価を行った結果と、非常に高速な処理が可能なシストリックアレーを少ない回路規模で実現する技術について述べた。今後は、アンテナ素子やアレー構成に関する検討や、伝送容量の拡大を目的としたマルチアンテ

ナ信号伝送法 (MIMO : Multiple Input Multiple Output) 技術の適用検討を行っていく予定である。

### 文 献

- [1] 菊間 信良 著：“アダプティブアンテナ技術,” オーム社.
- [2] S. Haykin: “Adaptive Filter Theory, 2nd Ed.,” Prentice Hall, Englewood Cliffs, NJ, 1991.
- [3] T. Asai and T. Matsumoto: “A Systolic Array RLS Processor,” IEICE Trans. Commun, Vol. E84-B, No. 5, pp. 1356-1361, May 2001.

### 用 語 一 覧

ASIC : Application Specific Integrated Circuit
BER : Bit Error Rate (ビット誤り率)
FPGA : Field Programmable Gate Array
LMS : Least Mean Square (最小平均2乗)
LSI : Large Scale Integration circuit (大規模集積回路)
MIMO : Multiple Input Multiple Output (マルチアンテナ信号伝送法)
MMSE : Minimum Mean Square Error (平均2乗誤差最小)
RLS : Recursive Least Square (再帰的最小2乗法)