

広帯域コヒーレントDS-CDMA無線アクセス特集

Special Issue on Wideband Coherent DS-CDMA Mobile Radio Access

5. 広帯域コヒーレントDS-CDMA用低消費電力高速マッチトフィルタ

5. Low Power Consumption Analog-Type Matched Filter for DS-CDMA Mobile Radio

広帯域コヒーレントDS-CDMAでは高速動作するマッチトフィルタの低消費電力化が必須である。本稿では、A/D変換器を不要とし低消費電力化を可能とするベースバンドアナログ処理技術を採用した高速マッチトフィルタLSIの構成法およびその特性について述べる。

A low power consumption matched filter (MF) based on analog filter technology for wideband DS-CDMA mobile radio is presented. AMF LSI prototype has only 110mW power consumption at the chip rate of 25MHz. Bit error rate (BER) performance of coherent RAKE receiver using implemented AMF LSI is described.

佐和橋 衛

Mamoru Sawahashi

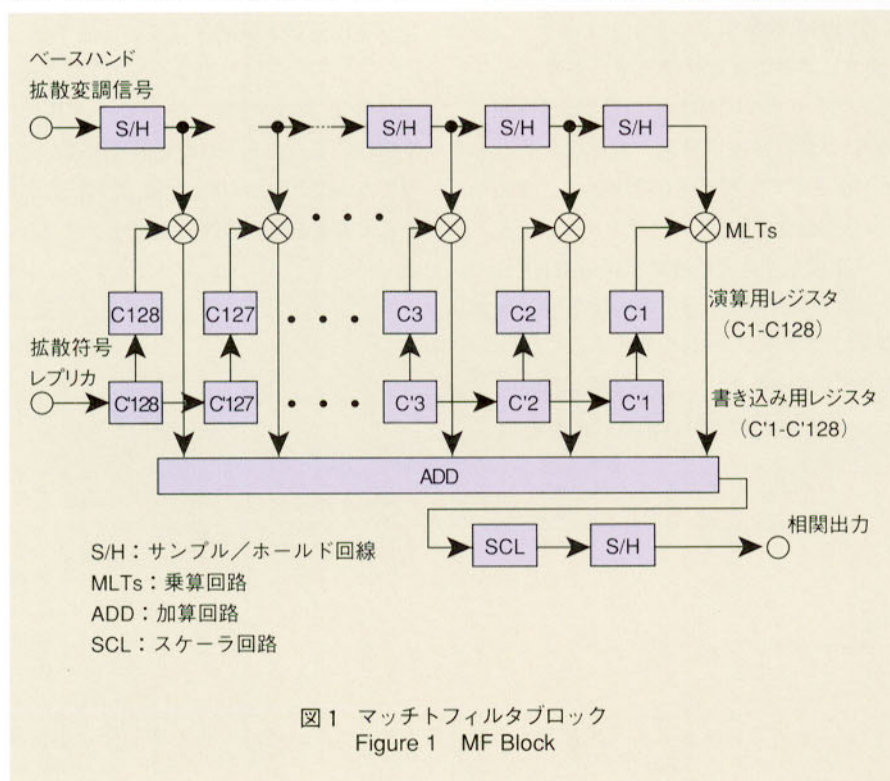
まえがき

DS-CDMAでは受信拡散変調信号を逆拡散する必要があり、コンボルバ^{1) 3)}などのアナログ検出器、スライディング相関器、マッチトフィルタ^{4) 6)}などのデジタル処理で相関検出を行なう方法がある。マッチトフィルタはスライディング相関器に比較して受信機での拡散符号の初期同期時間が短いという利点を有する。マッチトフィルタは表面弾性波(SAW)コンボルバでも実現できる。SAWコンボルバは拡散符号の変更が容易である、温度特性の変化の影響を受けにくいなどの利点を有するものの、挿入損失に起因する信号電力の減少が大きい。一方、ベースバンドデジタル処理によるマッチトフィルタは1チップLSIによる低消費電力化が可能である。加えて、ベースバンド処理のデジタルマッチトフィルタは、高速信号伝送の実現に柔軟に対応できる利点を有する。

高速信号伝送の実現方法として、同一伝送レートのコードチャンネルを複数多重して高速信号伝送を行なう方法(マルチコード伝送)⁷⁾、およびチップレートを一

定として伝送する信号速度に応じて拡散率を変化させる方法(可変拡散率伝送)⁸⁾などが提案されているが、それぞれに対して、多重コード数および積分時間範囲を容易に変更することが可能である。一般的な構成ではA/D変換したデジタル

信号に対してデジタルマッチトフィルタにより相関検出を行なうが、10MHz程度以上のチップレートの広帯域信号に対しては、チップレートで高速に動作する部分の消費電力がかなり増加する。広帯域DS-CDMA受信機を実現するために



は、高速動作するA/D変換部およびマッチトフィルタの低消費電力化が必須である。さらに、低消費電力マッチトフィルタの実現により、高速初期同期、高速セルサーチが可能になる。本稿ではA/D変換器を不要とし、低消費電力化を可能とする広帯域コヒーレントDS-CDMA用高速マッチトフィルタLSI⁹⁾の構成とその特性について述べる。

マッチトフィルタLSI

図1にマッチトフィルタLSIのブロック構成を示す。サンプル/ホールド回路(S/H)、アナログ信号とデジタル信号との乗算回路(MLTs)、加算回路(ADD)およびスケアラ回路(SCL)を基本構成として構成される。これらの基本演算回路はCMOSインバータを基本とした簡単な構成のアナログアンプとキャパシタンスで構成されている。消費電力はアンプの消費電力で決定されるため非常に低消費電力であり、また演算のクロック周波数にほとんど依存しない。入力信号はアナログ信号であり、内部の積和演算はアナログ信号をデジタルで制御して行なう。その結果、演算精度と特性は既存のデジタルフィルタと同様で、並列処理がデジタルフィルタと同様可能である。また、拡

散符号レプリカはLSI外部よりシリアル入力設定可能である。内部ではアナログの拡散変調信号と2値の拡散符号レプリカとの相関検出演算を行ない、その結果をアナログのまま出力し、またA/D変換器でデジタル信号に変換出力することも同時に可能である。本マッチトフィルタLSIはCMOS0.8 μ mプロセス、チップサイズは91mm²である。またタップ数は128、出力信号のダイナミックレンジは60dBである。主な特徴を以下に示す。

(1) 長周期拡散符号(ロングコード)対応

シリアル入力-パラレル・シリアル出力の拡散符号書き込み用シフトレジスタおよびパラレル・シリアル入力-パラレル・シリアル出力の演算用シフトレジスタの2つのレジスタを有し、ロングコード対応の構成である。

(2) RAKE合成用マルチパス信号出力

RAKE合成を行なうため、1情報シンボル(拡散率128)内のサーチ範囲において最大3つのチップ位相に対する相関出力信号を出力する機能を有する。外付けの相関ピーク検出回路により128のチップ位相に対応する相関出力電圧によりRAKE用合成パスを選択し、そのチップ位相に対応したマルチパス信号およびこの信号に同期したクロック信号を出力する。

(3) サンプリングタイミング調整機能

サンプリングタイミング調整部は外部から供給されるクロックを2つのクロックに分周する回路、2つのクロックから1つを選択出力するマルチプレクサ、1チップ内で2点のサンプル信号を出力するサンプリング回路、拡散符号レプリカの位相進み・遅れ導出回路から構成されている。サンプリング回路および位相進み・遅れ方向の導出回路により入力信号の位相に合わせたクロックを生成する。

特性

(1) 相関出力特性

図2に相関出力特性を示す。拡散符号は直交Gold符号を用いた。電源電圧 V_{dd} は3V、入力信号電圧 V_{pp} は1Vである。チップレートは25MHzである。理論値は拡散符号から各チップ位相位置における相互相関を計算機シミュレーションにより計算したものである。図に示すように実測値の誤差が非常に小さく、信号電力に対する平均相互相関電力の実測値は-18.32dB、計算値は-19.52dBであり、実測値と計算値はほぼ一致している。

(2) 消費電力

図3に消費電力特性を示す。この消費電力には、マッチトフィルタ演算のアナログ回路、デジタル回路、バッファアンプ、デジタルインタフェースのための量子化回路(A/D)などすべての回路が含まれている。動作クロック周波数が25MHzの場合消費電力は110mW($V_{dd}=3V$)と低消費電力化が実現できていることがわかる。またさらに電源電圧を2.5Vに下げると、消費電力は68mW程度に低減できる。デジタル回路部分は動作クロック周波数に比例して消費電力が増大しているが、アナログ信号処理回路は動作クロック周波数に関係なくほぼ一定の消費電力であるため、全体としてクロック周波数が25倍になっても消費電力は2倍弱であり、非常に低消費電力化が図られていることがわかる。アナログ信号処理を用いているのでマッチトフィルタ前段のA/D変換器は不要であり、このため大幅な低消費

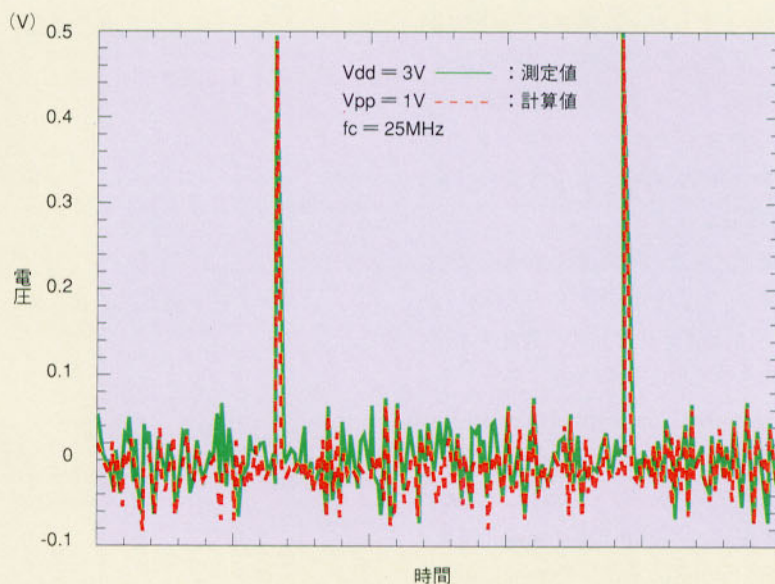


図2 マッチトフィルタ時間応答特性
Figure 2 Filter Time Response

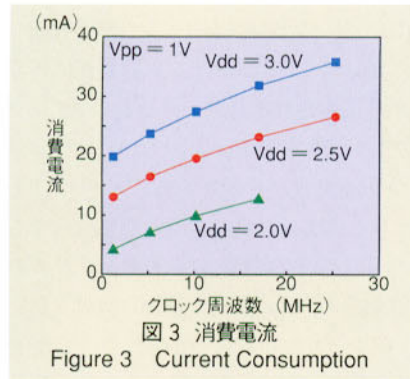


Figure 3 Current Consumption

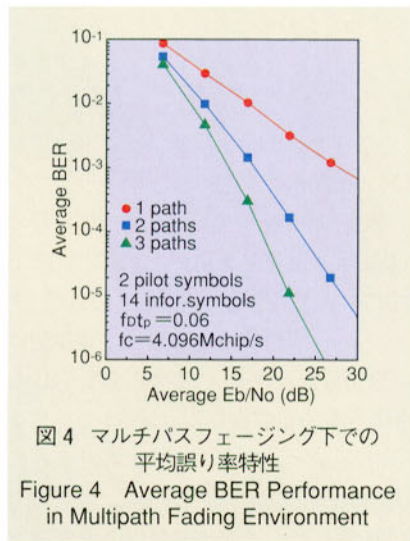


図4 マルチパスフェージング下での平均誤り率特性

Figure 4 Average BER Performance in Multipath Fading Environment

電力化を図ることができている。

(3) 伝送特性

マッチトフィルタLSIを用いてRAKE受信機を構成し伝送特性の評価を行った。送信PNデータをGold符号で拡散し、拡散信号をD/A変換器でアナログ信号に変換後、直交変調して拡散変調信号を生成する。この変調信号に雑音を付加し、受信自動利得制御(AGC)増幅器で増幅後、直交検波する。直交検波後の同相(I)－直交(Q)ベースバンド信号は本LSIに入力後、逆拡散して相関ピークを生成する。相関出力信号はA/D変換器でデジタル信号に変換後DSPで復調、およびRAKE合成する。復調にはパイロットシンボルによるチャネル推定を行なう絶対同期検波を用いた。データ変調、拡散変調ともにBPSK、拡散率は128とした。情報シンボル14シンボルごとにパイロットシンボルを2シンボル挿入した。

図4にRAKE合成するマルチパス数Lをパラメータとしたマルチパスフェージング環境下での平均誤り率特性を示す。

スロット長 T_p で正規化した最大ドップラ周波数 $f_D T_p = 0.06$ である(最大ドップラ周波数 $f_D = 120\text{Hz}$ である)。Lが増加するに従ってRAKEダイバーシチ効果により受信誤り率特性が改善されていることがわかる。

むすび

広帯域DS-CDMAに適した低消費電力高速マッチトフィルタLSIの構成、および特性について述べ、広帯域DS-CDMA用低消費電力マッチトフィルタの実現の可能性を示した。また、マッチトフィルタLSIで逆拡散、分離された各マルチパス信号をRAKE合成する処理動作を実験的に確認した。

文献

- 1) H. Nakase and K. Tsubouchi, "Novel Narrow Band Interference Rejection for Asynchronous Spread Spectrum Wireless Modem Using a SAW Convolver", IEEE 2nd ISSSTA, Japan, Nov.29, Dec. 1992.
- 2) 新妻, 服部, 織田, 小島, "新しいセルフコンボリューション抑圧法を用いた1Mbps ZnO/Si型SAWコンボルバ", 信学技報SST95-73(1995-10).
- 3) 加藤, 宮嶋, 高橋, "エラスティック型SAWコンボルバを用いた超小型低コストSS T/Rユニットの開発", 信学技報SST95-78(1995-10).
- 4) 田近, "スペクトル拡散通信におけるデジタルマッチトフィルタ技術とその課題", 信学技報SST92-21(1992).
- 5) 小川, 衣笠, 田中, 椰, 武井, "デジタルマッチトフィルタを用いたSS通信用1チップLSIの開発", 信学技報SST94-65(1994-12).
- 6) Stanford Telecom, "Dual 64 tap, 11Mcps cascaded digital matched filter STEL-3310," (1990).
- 7) F.Adachi, K.Ohno, M.Sawahashi, and A.Higashi, "Multimedia Mobile Radio Access Based on Coherent DS-CDMA", Proc. 2nd

international workshop on Mobile Multi-media Communications., April 1995, Bristol University.

- 8) A. Baier, U.-C. Fiebig, W. Granzow, W. Koch, P. Teder, and J. Thielecke, "Design study for a CDMA-based third-generation mobile radio system", IEEE J. Sel. Areas Commun., vol. SAC-12, pp.733-743, May 1994.
- 9) 佐和橋, 安達, 寿, 周, "広帯域DS-CDMA用低消費電力マッチトフィルタLSI", 信学技報RCS95-120(1996-01).