

伝送路推定シストリックアレープロセッサ

A Systolic Array Processor for Adaptive Channel Estimation

将来予想される、より広帯域な移動通信システム（例えば情報伝送速度として数十 Mbit/s）では、適応等化器やアダプティブアレーアンテナなどの適応的な信号伝送技術が重要な役割を果たすと考えられる。このためには、実時間動作可能な伝送路推定器が不可欠である。そこで、並列処理により伝送路推定を短時間で行うことのできるシストリックアレープロセッサを開発したので、その概要について述べる。

Adaptive signal processing, of which major applications are adaptive equalization as well as adaptive array antennas, has been considered to play an important role in future broadband wireless communications with signal transmission bitrate of, say, several tens of Mbit/s. Signal processor that can estimate parameters related to the communication channel on real-time basis is indispensable in such applications. This paper briefly describes the systolic array signal processor for channel estimation, which we have developed recently by using parallel processing technique.

浅井 孝浩
Takahiro Asai

松本 正
Tadashi Matsumoto

まえがき

数十 Mbit/s の情報伝送を可能とするような広帯域移動通信では、適応等化器やアダプティブアレーアンテナなどの適応的な信号伝送技術が重要な役割を果たすと考えられる。そのために

は、伝送路推定の実時間動作が必要となる。伝送路推定には、高速収束を特徴とする RLS (Recursive Least Squares) アルゴリズムを用いることができるが、演算量が推定パラメータ数の二乗に比例して増加してしまい、推定パラメータ数が多い場合に処理時間が長くなることが問題となってい

た。そこで、RLS アルゴリズムを並列に効率良く処理することができるシストリックアレープロセッサの試作を行ったので報告する。これにより、伝送路推定の処理に要する時間を削減することができる。

広帯域伝送のための技術課題

■マルチパス伝搬路

移動通信においては建物などにより、反射・回折・散乱などの影響を受けるためにマルチパス伝搬路（多重波伝搬路）となる。図1にマルチパス伝搬路の基本的なモデルを示す。遅延波の影響により符号間干渉が生じ、通信品質が劣化する。また、符号間干渉の影響は情報伝送速度が速いほど大きくなるので、その影響を軽減することが必要となる。

■所要電力の確保

広帯域移動通信システム（例えば数十 Mbit/s の情報伝送速度）では、帯域確保の点で高い周波数帯を用いる必

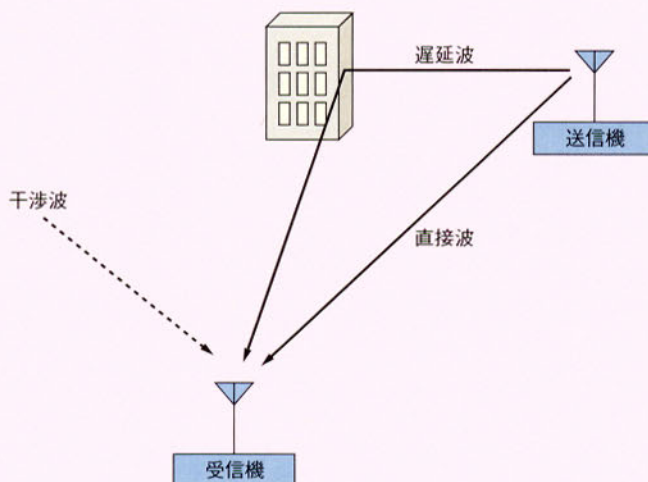


図1 マルチパス伝搬路
Figure 1 Multipath Propagation

要がある。しかし、周波数が高いほど伝搬損（伝搬に伴う電波の減衰）が大きくなるので、所要電力の確保が重要となる。

■同一チャネル干渉の軽減

システム容量の確保という点では、周波数利用効率の向上が必要となる。その場合、図1に示すように干渉波の影響による同一チャネル干渉の影響を軽減しなければならない。

その他、高速伝送時には、同期のずれによる通信品質の劣化が生じるので、その影響を軽減する必要がある。

適応等化器とアダプティブアレーアンテナ

以上の問題を克服するための適応的な信号伝送技術として、適応等化器とアダプティブアレーアンテナを組み合わせる方式が検討されている[1]。

■適応等化器

適応等化器では、符号間干渉の影響

を軽減することができる。特に、最尤系列推定（送信された可能性のある全ての情報系列の中から、最も確からしい情報系列の推定を行う方式）を用いた適応等化器では、適応等化器が考慮する最大遅延シンボル数内の遅延波を合成することができる。つまり、パステイバースチ効果が得られるので、所要電力の確保の点で有効となる。しかし、考慮する最大遅延シンボル数を大きくするほど、適応等化器における処理量が多くなってしまう。

■アダプティブアレーアンテナ

複数個のアンテナを配列し、各々の素子の励振の振幅および位相を独立に制御できるようにしたものをアレーアンテナと呼ぶ。これにより、指向性（アンテナの方向に依存する利得の特性）の制御が可能となる。そして、指向性の適応制御（環境の変化に応じて自らを自動的に再調整すること）を行うアレーアンテナをアダプティブアレーアンテナと呼ぶ。

アダプティブアレーアンテナを用い

て、指向性を制御することにより遅延時間の大きい遅延波と干渉波の除去が期待できる。図2にアダプティブアレーアンテナの指向性の一例を示す。直接波に対して遅延波（遅延時間差大）および干渉波の利得が20dB以上減衰しているので、遅延時間の大きい遅延波と干渉波の影響を軽減できる。ここで、遅延時間差の大きい遅延波を適応等化器で合成しない理由は、適応等化器における処理量の増加を防ぐためである。また、指向性の制御において、アダプティブアレーアンテナの各素子に分数間隔形トランスバースフィルタを用いることにより、同期のずれに伴う通信品質の劣化を軽減できる[1]。

■適応アルゴリズム

適応等化器においては、マルチパス伝搬路により歪みを受けた伝送路の推定が必要となり、アダプティブアレーアンテナにおいては指向性の制御および分数間隔形トランスバースフィルタの制御が必要となる。それらにはさまざまな適応アルゴリズムを用いるこ

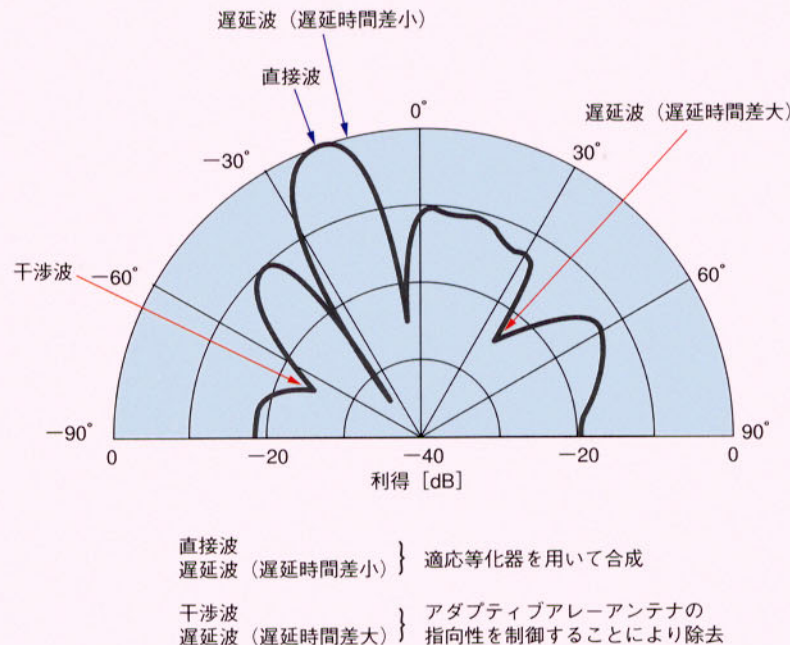


図2 アダプティブアレーアンテナの指向性の一例
Figure 2 Adaptive Array Antenna Pattern

シストリックアレー プロセッサ

シストリックアレープロセッサ[2]～[6]を用いることにより、RLSアルゴリズムを高速に処理することができる。つまり、適応等化器において必要となる伝送路推定およびアダプティブアレーアンテナにおける指向性制御および分数間隔形トランスバーサルフィルタの制御を高速に行うことができる。

■特徴と原理

シストリックアレープロセッサとは同一の機能を持つセルを規則的に配置して、RLSアルゴリズムの計算を並列的に行うものである。これにより、効率の良い処理が可能となるので、RLSアルゴリズムの処理に要する時間を減らすことができる。また、構造が単純なためにプロセッサ自体の効率的な分割が可能となる。さらに、数値安定度が高いという特徴を持つ。

シストリックアレープロセッサでは行列のQR分解（与えられた行列の固有値を効率的に求めるために、行列を直交行列と上三角行列に分解すること）とGivens rotation（与えられた行列に対して、その行列の値により導出される直交行列を用いて、与えられた行列の上三角行列化を行うこと）と呼ばれる方法を用いることにより、処理の並列パイプライン化を可能としている。

■構成

シストリックアレープロセッサの構成を図4に示す。ここで推定を行うパラメータ数は3としている。シストリックアレープロセッサでは、各セルにおいて単純な計算を行い、計算結果を隣接セルに渡すということを繰り返すことによりRLSアルゴリズムの計算が行われる。シストリックアレープロセッサにはboundary cellとinternal cell

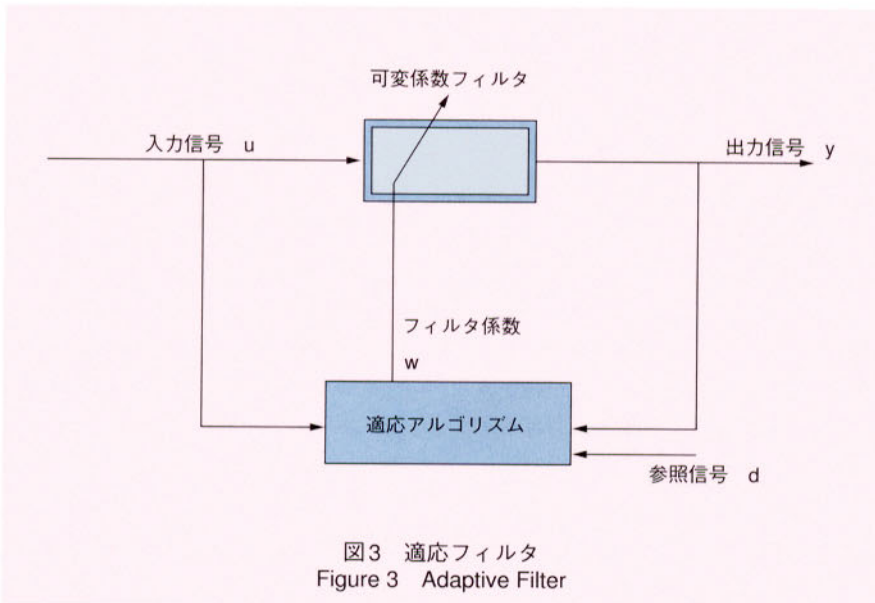


図3 適応フィルタ
Figure 3 Adaptive Filter

とができる。

図3に適応フィルタの基本モデルを示す。適応フィルタとは u を入力信号、 y を出力信号とする可変係数フィルタであり、出力信号 y が参照信号 d に近づくようにフィルタ係数 w が適応アルゴリズムに基づいて自動更新される。

適応等化器における伝送路推定では、受信側において既知の信号を送信側より送出する。その既知信号を図3における参照信号とする。そして、既知信号の受信側における受信信号を図3における入力信号とする。このとき、適応アルゴリズムが導き出すフィルタ係数が、マルチパス伝搬路により歪みを受けた伝送路の状態を表すこととなる。

アダプティブアレーアンテナにおける指向性制御の場合も同様に、受信側において既知の信号を送信側より送出して図3における入力信号とする。そして、アダプティブアレーアンテナの各アレーにおける受信信号を参照信号とする。このとき、適応アルゴリズムが導き出すフィルタ係数がアダプティブアレーアンテナの各素子の振幅・位相を制御する係数となる。また、その係数を分数間隔で配置するものが分数間隔形トランスバーサルフィルタであり、その制御も適応アルゴリズムによ

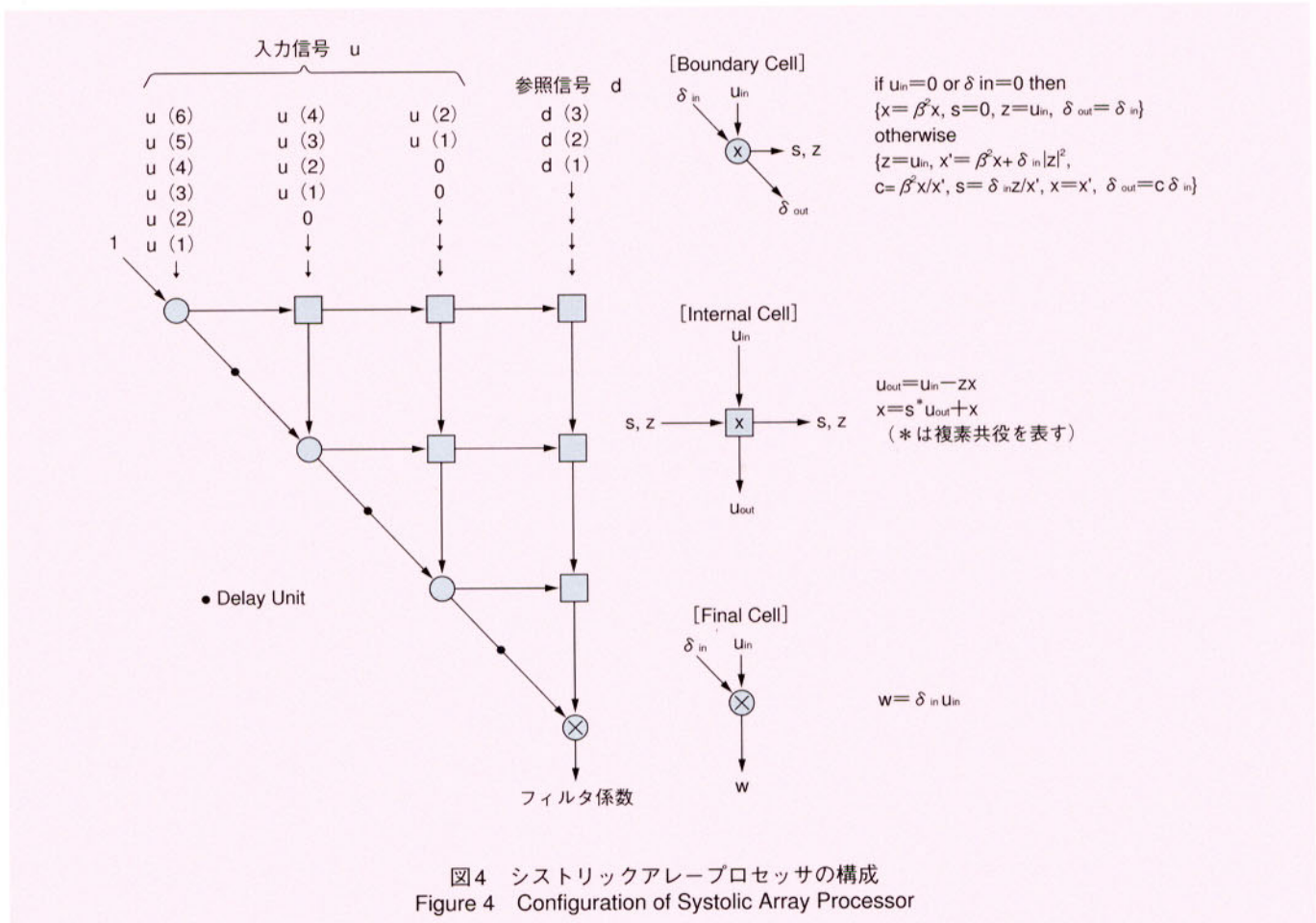
り行うことができる。

出力信号 y と参照信号 d の誤差を最小とする最適なフィルタ係数 w は以下の式で与えられる。

$$w = R_{xx}^{-1}P \quad (1)$$

ここで R_{xx} は入力信号 u の自己相関行列であり、 P は入力信号 u と参照信号 d の相互相関行列である。

式(1)に基づいてフィルタ係数を更新する方法は、出力信号 y と参照信号 d の誤差を最小にするという意味で最適であるが、 R_{xx} の逆行列演算を行わなければならないので計算量が多い。そこで、より少ない計算量でフィルタ係数を求めるアルゴリズムがいくつか知られている。その中で特にRLSアルゴリズムは、収束が速い（既知信号として必要な情報シンボルが少ない）ことを特徴とする。RLSアルゴリズムはフィルタ係数を逐次的に求める。これにより、式(1)の逆行列演算を行う必要がなくなり計算量が少なくなる。しかし、RLSアルゴリズムにおいても、計算量は適応フィルタにおいて推定を行うパラメータ数（適応フィルタにおけるフィルタ係数の個数）の二乗に比例して増加するので、推定を行うパラメータ数が多い場合に実時間処理が困難となる。



と final cell の 3 種類の cell があり、それぞれのセルにおいて図4に示す演算が行われる。delay unit はデータの転送を 1 タイミング遅らせる働きを持つ。x は boundary cell, internal cell 自身が持つ値であり、 β は RLS アルゴリズムにおける忘却係数 (収束を制御するパラメータ) λ の平方根である [3]。

シストリックアレイプロセッサのハードウェア化

■内部演算および回路規模

RLS アルゴリズムの処理を行うシストリックアレイプロセッサを ASIC (Application Specific IC) などのプログラマブルデバイスを用いて設計する場合、内部で行われる演算として、浮動小数点演算ではなく固定小数点演算を用いると動作速度が速い。しかし、固定小数点演算を行う場合、桁あふれや丸め誤差などの問題が生じてしまう。

シストリックアレイプロセッサは数値安定度が高いという特徴があるので、高速動作のために固定小数点演算を用いてハードウェア化を行った。図5に試作を行った推定パラメータ数 10 におけるシストリックアレイプロセッサ装置を示す。同図においては約 100 万ゲート相当の ASIC を 19 個用いている。

■動作速度

シストリックアレイプロセッサ装置の内部演算について 32 ビット固定小数点演算を用いた場合、1 サイクル (隣接セルから渡される値を用いて図4における計算を行い、計算結果を隣接セルに渡すまでを 1 サイクルとする) あたりの boundary cell の処理時間は約 500 ns, internal cell の処理時間は約 80 ns となり、推定パラメータ数 10、入力シンボル数 41 における処理時間は約 35 μ s となった。DSP (Digital

Signal Processor) を用いて RLS アルゴリズムの処理を行う場合 [7] と比較して、処理速度は約 100 分の 1 となった。これにより、シストリックアレイプロセッサは RLS アルゴリズムの効率的な並列処理が可能であることを確認できた。

■指向性パターンと誤り率特性

シストリックアレイプロセッサ装置をアダプティブアレイアンテナの指向性制御に用いた室内伝送実験を行った。直接波の到来方向を 20° 、干渉波の到来方向を 40° 、 60° とし、アダプティブアレイアンテナの素子数は 2, 4, 8 とした。

素子数を 8 とした場合の、実験結果より得られた指向性を図6に示す。同図より、 40° および 60° 方向の利得は、直接波に対して 15 dB 以上減衰しているため、干渉波の影響を軽減できている。

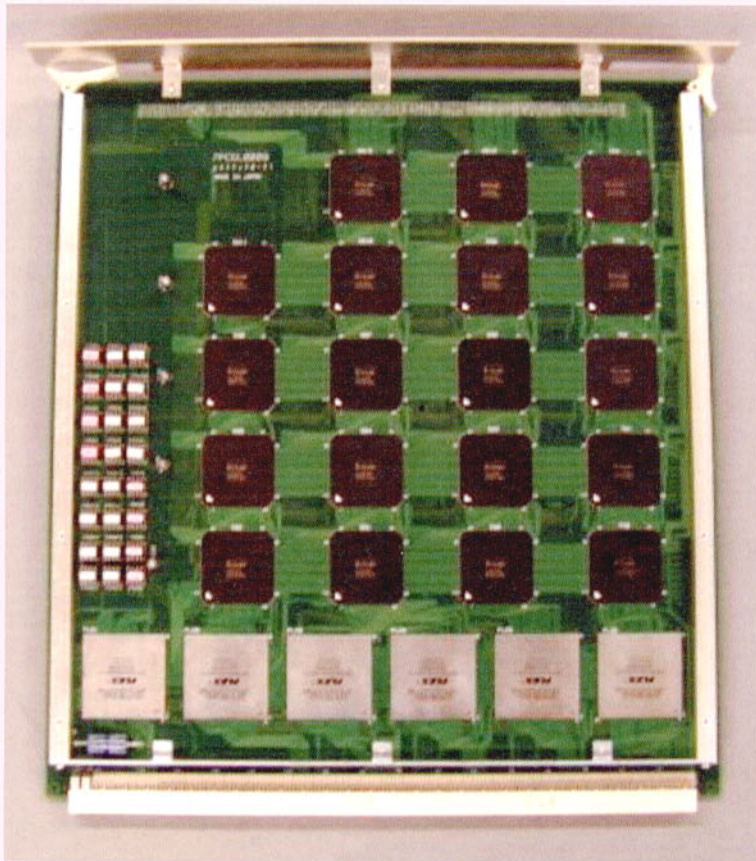


図5 シストリックアレイプロセッサボード
Figure 5 Systolic Array Processor Board

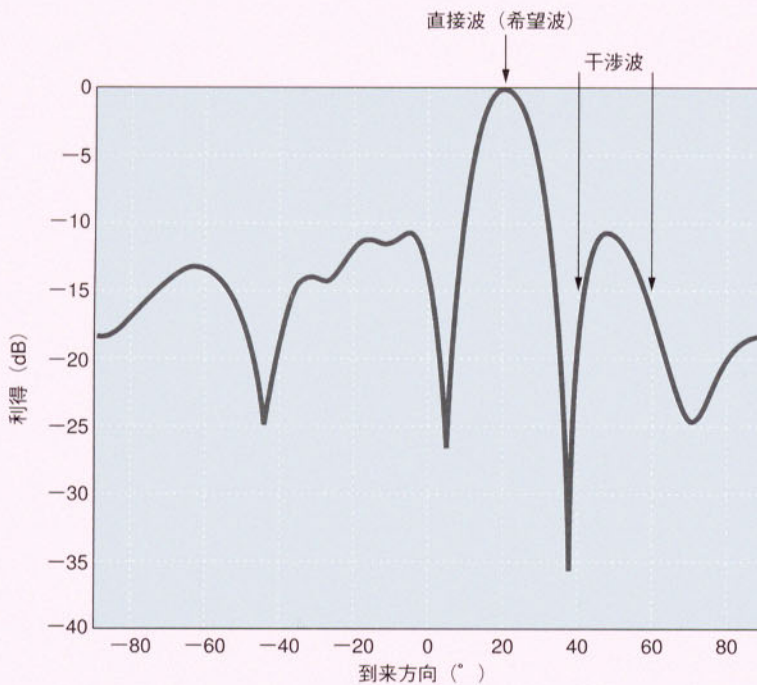


図6 指向性パターン (実験結果)
Figure 6 Obtained Antenna Pattern (Experimental Results)

次に、同じ条件で雑音を加えて、誤り率特性の測定を行った。結果を図7に示す。横軸は E_b/N_0 (E_b は1ビットあたりのエネルギーを表し、 N_0 は単位周波数あたりの雑音電力を表す。)であり、縦軸は誤り率である。変調方式はQPSKを用いている。同図においては比較のために、DSPを用いてRLSアルゴリズムの計算を行った場合の結果[7]と、直接波一波のみ存在する場合の誤り率の理論値を併せて示す。アダプティブアレイアンテナでは、素子数-1個の干渉波の除去が可能となる。したがって、素子数2の場合は2波の干渉波を除去できないので、誤り率特性が素子数4.8と比較して劣化している。また、素子数4以上では、干渉波を抑制した上で、各素子で受信される希望波成分を同相合成するので、1素子受信の誤り率より特性が改善している[7]。DSPによる結果とシストリックアレイプロセッサ装置による結果を比較すると、シストリックアレイプロセッサ装置を用いた場合の誤り率特性が若干劣化している。これは、DSPを用いたRLSアルゴリズムにおいては浮動小数点演算を行っているのに対して、シストリックアレイプロセッサ装置では、固定小数点演算を行っているためであると考えられる。

あしがき

RLSアルゴリズムの並列パイプライン処理を行うシストリックアレイプロセッサのASICによる試作を行った。その結果、推定パラメータ数10、入力シンボル数41におけるRLSアルゴリズムの処理時間は、DSP (Digital Signal Processor) を用いる場合と比較して約100分の1となった。これにより、シストリックアレイプロセッサはRLSアルゴリズムの効率的な並列処理が可能であり、適応等化器の伝送路推定およびアダプティブアレイアンテナの指向性制御・分数間隔形トランスバースフィルタの制御を短時間で行う

文献

- [1] 府川：“アダプティブアレーとMLSE検波器との縦続構成法とその特性.” 信学技報, AP97-146, 1997.
- [2] S.Haykin：ADAPTIVE FILTER THEORY, Prentice-Hall, 1996.
- [3] S.Haykin, J.Litva and T.J.Shepherd：Radar Array Processing, Springer-Verlag, 1993.
- [4] Raymond J.Lackey, Herbert F.Baurle and John Barile：“Application-Specific Super Computer,” Proc.SPIE, Real Time Signal Processing XI, Vol.977, pp.187-195, 1988.
- [5] H.Leung and S.Haykin：“Stability of Recursive QRD-LS Algorithms Using Finite-Precision Systolic Array Implementation,” IEEE Trans. ASSP, Vol.37, No.5, pp.760-763, 1989.
- [6] Christopher R.Ward, Philip J.Hargrave and John G.McWhirter：“A Novel Algorithm and Architecture for Adaptive Digital Beamforming,” IEEE Trans. AP, Vol.34, No.3, pp.338-346, 1986.
- [7] 塚本, 笹生, 榎, 吉野, 松本：“複素ベースバンドアレーレスポンスシミュレータ”, 信学技報, SST98-66, 1999.

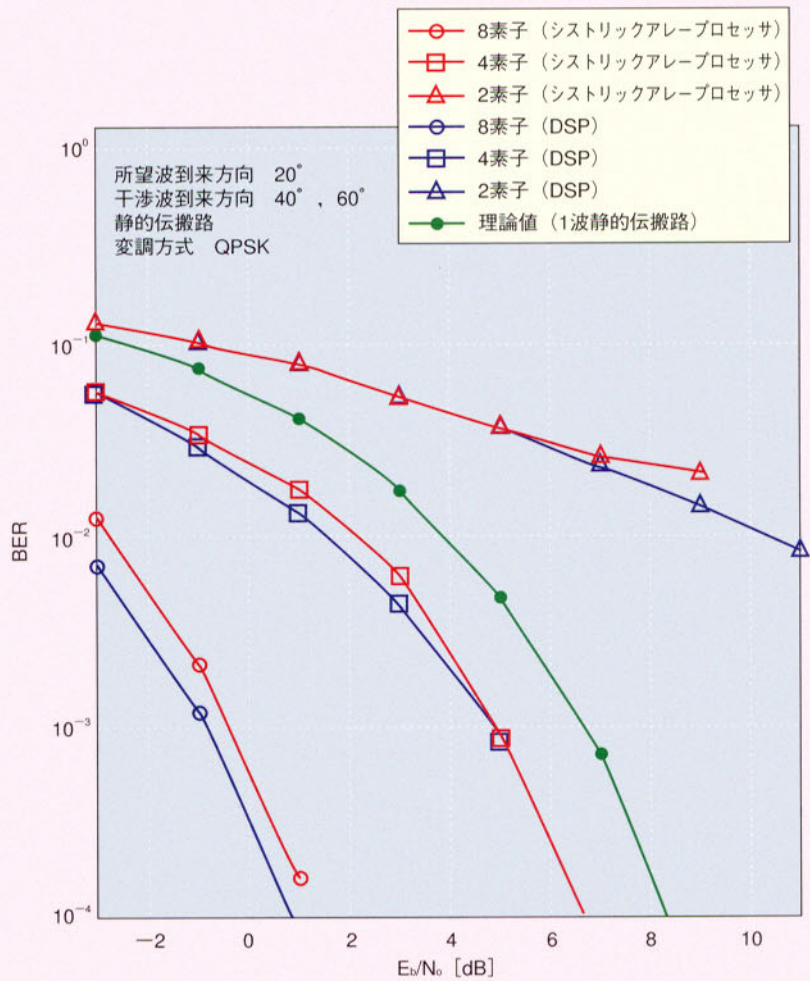


図7 誤り率特性
Figure 7 Bit Error Rate

ことができることを確認した。
 今後は、このシストリックアレーブ
 ロセッサ装置を用いて室内実験系によ

り適応等化器における伝送路推定、な
 らびにアダプティブアレーアンテナの
 指向性制御の特性評価を行う。